

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

#3 CR  
9-21-01

IN THE U.S. PATENT AND TRADEMARK OFFICE

11040 U.S. PRO  
09/895151  
07/02/01

Applicant(s): TOKUNAGA, Yuichi

Application No.:

Group:

Filed: July 2, 2001

Examiner:

For: MULTIPROCESSOR APPARATUS

L E T T E R

Assistant Commissioner for Patents  
Box Patent Application  
Washington, D.C. 20231

July 2, 2001  
0649-0793P-SP

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55(a), the applicant hereby claims the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2001-006251	01/15/01

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to deposit Account No. 02-2448 for any additional fees required under 37 C.F.R. 1.16 or under 37 C.F.R. 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH, LLP

By:

MICHAEL K. MUTTER

Reg. No. 29,680

P. O. Box 747

Falls Church, Virginia 22040-0747

Attachment  
(703) 205-8000  
/kw

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

TOKUNAGA, Yuichi  
July 2, 2001  
BSKB, LLP  
(703) 205-8000  
0649-0793P  
1 of 1

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application:

2001年 1月15日

出 願 番 号  
Application Number:

特願2001-006251

出 願 人  
Applicant(s):

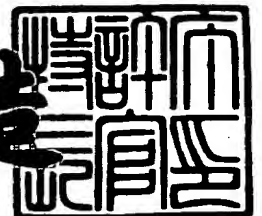
三菱電機株式会社



2001年 3月 2日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



出証番号 出証特2001-3013036

【書類名】 特許願

【整理番号】 527976JP01

【提出日】 平成13年 1月15日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 1/32  
G06F 1/26

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

【氏名】 徳永 雄一

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100102439

【弁理士】

【氏名又は名称】 宮田 金雄

【選任した代理人】

【識別番号】 100092462

【弁理士】

【氏名又は名称】 高瀬 彌平

【手数料の表示】

【予納台帳番号】 011394

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 マルチプロセッサ装置

【特許請求の範囲】

【請求項 1】 高速で動作する高速プロセッサと、  
低速で動作する低速プロセッサと、

処理すべきアプリケーションに基づいて、前記高速プロセッサ及び前記低速プロセッサの活性化、非活性化を制御する活性制御手段と  
を備えることを特徴とするマルチプロセッサ装置。

【請求項 2】 処理すべきアプリケーションを前記プロセッサのうちどのプロセッサで処理すべきかを判別する処理判別手段を備えると共に、

前記活性制御手段は、前記処理判別手段による判別結果に基づいて前記高速プロセッサ及び低速プロセッサの活性化、非活性化を制御することを特徴とする請求項 1 記載のマルチプロセッサ装置。

【請求項 3】 前記高速プロセッサを接続する高速バスと前記低速プロセッサを接続する低速バスとを接続するバス接続手段を備えると共に、

前記バス接続手段は、メモリが接続され、そのメモリと前記高速バスとの接続と切断とを切り替える切替手段を有することを特徴とする請求項 1 ～ 2 記載のマルチプロセッサ装置。

【請求項 4】 前記アプリケーションを前記高速プロセッサで処理するために必要なデータ及びプログラムを格納するメモリを前記高速バスに接続し、前記アプリケーションを前記低速プロセッサで処理するために必要なデータ及びプログラムを格納するメモリを前記低速バスに接続することを特徴とする請求項 1 ～ 2 記載のマルチプロセッサ装置。

【請求項 5】 前記アプリケーションを前記低速プロセッサで処理するために必要なデータ及びプログラムを、前記高速バスに接続されたメモリから前記低速バスに接続されたメモリに転送するために必要なデータ及びプログラムを格納するメモリを備えることを特徴とする請求項 4 記載のマルチプロセッサ装置。

【請求項 6】 前記高速バスに接続されたメモリから前記低速バスに接続されたメモリに、前記アプリケーションを前記低速プロセッサで処理するために必

要なデータ及びプログラムを転送するDMA回路を備えることを特徴とする請求項4記載のマルチプロセッサ装置。

【請求項7】 前記低速プロセッサが、前記高速バスに接続されたメモリから、前記アプリケーションを前記低速プロセッサで処理するために必要なデータ及びプログラムを転送することを特徴とする請求項4記載のマルチプロセッサ装置。

【請求項8】 前記活性制御手段は、前記各プロセッサのクロックを起動及び停止するクロック切替手段を有することを特徴とする請求項1～7記載のマルチプロセッサ装置。

【請求項9】 前記活性制御手段は、前記各プロセッサの電源を起動及び停止する電源切替手段を有することを特徴とする請求項1～7記載のマルチプロセッサ装置。

【請求項10】 前記低速プロセッサは、前記アプリケーションを低速で処理するために必要最低限の機能のみを有することを特徴とする請求項1～9記載のマルチプロセッサ装置。

【請求項11】 前記低速プロセッサは、動作電圧を低く設定し、かつクロック周波数も遅く設定することを特徴とする請求項1～10記載のマルチプロセッサ装置。

【請求項12】 前記バス接続手段は、レジスタを有するとともに、前記処理判別手段による判別結果に基づいて前記レジスタを変更し、

前記活性制御手段は、前記レジスタに基づいて前記プロセッサの活性化状態を制御することを特徴とする請求項2記載のマルチプロセッサ装置。

【請求項13】 前記低速プロセッサは、前記アプリケーション処理完了後、前記活性制御手段に自プロセッサの非活性を要求すること特徴とする請求項1～12記載のマルチプロセッサ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、携帯電話、ノートパソコン等の低消費電力の要求が高い情報処理

装置及びLSI内部に用いられるマルチプロセッサ装置に関するものである。

【0002】

【従来の技術】

情報処理装置の低消費電力化を図る方法として、クロックや電圧を下げる手段がある。

図7は、例えば、特開平8-211960号公報に示された従来のマイクロコンピュータにおける低消費電力化手段の機能構成図である。図7において、201はCPU、202は電圧及びクロックを制御する制御回路、203は制御回路202からの制御信号SG1、SG2に基づいて、高い周波数のクロックCK<sub>0</sub>あるいは低い周波数のクロックCK<sub>1</sub>のいずれかを選択するクロック選択回路、204は制御回路202からの制御信号SG1、SG2に基づいて、高い電圧V<sub>0</sub>あるいは低い電圧V<sub>1</sub>のいずれかを選択する電源電圧選択回路である。

【0003】

また、制御回路202は、CPUからの割り込み要因の種類に応じてレジスタを選択する選択部221と、CPUからの割り込み要因の種類に対応した値を保持するレジスタ222、223、224と、選択部221が選択したレジスタの値をデコードするデコード部225とからなる。

【0004】

なお、割り込み要因の種類は第1、第2、第3の3種類あり、第1及び第3は高速クロックで処理を行う必要があり、第2は高速クロックで処理を行う必要がないものである。この割り込み要因の種類に対応した値を保持するレジスタ222、223、224それぞれの内容は、“1”、“0”、“1”である。

【0005】

次に動作について説明する。CPU201が低速クロックで動作中に高速クロックで処理を行う必要のある第1の割り込み要因に応じた信号を選択部221に与えた場合、選択部221は対応するレジスタ222を選択し、レジスタ222の値“1”をデコード部225に与える。デコード部225は“1”を与えられた場合、制御信号SG1、SG2をそれぞれ“1”、“0”としてクロック選択回路203及び電源電圧選択回路204に出力する。制御信号SG1“1”、S

G2"0"を与えられたクロック選択回路203は、高い周波数のクロックCK<sub>0</sub>を選択してCPU201に与え、制御信号SG1"1"、SG2"0"を与えられた電源電圧選択回路204は、高い電圧V<sub>0</sub>を選択してCPU201に与える。このようにして、CPU201は、高い周波数のクロックCK<sub>0</sub>と高い電圧V<sub>0</sub>を与えられ、高速で割り込み処理を行う。

## 【0006】

また、CPU201が高速クロックで動作中に高速クロックで処理を行う必要のない第2の割り込み要因に応じた信号を選択部221に与えた場合、選択部221は対応するレジスタ223を選択し、レジスタ223の値"0"をデコード部225に与える。デコード部225は"0"を与えられた場合、制御信号SG1、SG2をそれぞれ"0"、"1"としてクロック選択回路203及び電源電圧選択回路204に出力する。制御信号SG1"0"、SG2"1"を与えられたクロック選択回路203は、低い周波数のクロックCK<sub>1</sub>を選択してCPU201に与え、制御信号SG1"0"、SG2"1"を与えられた電源電圧選択回路204は、低い電圧V<sub>1</sub>を選択してCPU201に与える。このようにして、CPU201は、低い周波数のクロックCK<sub>1</sub>と低い電圧V<sub>1</sub>を与えられ、低速で割り込み処理を行うため、電力消費は少ない。

## 【0007】

## 【発明が解決しようとする課題】

電力はクロックの周波数、電圧、回路の容量に比例するものであるが、近年では、CPUパイプライン処理や大容量キャッシュ等、高速化とともにハードウェア機能が増え回路規模が増大する傾向にある。したがって、このような容量の大きい回路では、従来技術のようにクロックの周波数と電圧を下げるだけでは、消費電力を十分に低減することはできなかった。

## 【0008】

また、従来技術では、電源電圧の切替において、電圧遷移中は素子の遅延特性も遷移するため、タイミング保証が難しく、信頼性が低下する問題があった。

## 【0009】

また、従来技術では、クロックの切替において、電圧遷移中は素子の遅延特性



も遷移するため、タイミング保証が難しく、信頼性を保つには冗長な回路が必要となるという問題があった。

【 0 0 1 0 】

本発明は上記のような問題点を解決するためになされたもので、信頼性が高く、回路規模が大きくても消費電力を十分に低減することのできるマルチプロセッサ装置を提供することを目的とする。

【 0 0 1 1 】

【課題を解決するための手段】

本発明に係わるマルチプロセッサ装置は、高速で動作する高速プロセッサと、低速で動作する低速プロセッサと、処理すべきアプリケーションに基づいて、前記高速プロセッサ及び前記低速プロセッサの活性化、非活性化を制御する活性制御手段とを備えるものである。

【 0 0 1 2 】

また、処理すべきアプリケーションを前記プロセッサのうちどのプロセッサで処理すべきかを判別する処理判別手段を備えると共に、前記活性制御手段は、前記処理判別手段による判別結果に基づいて前記高速プロセッサ及び低速プロセッサの活性化、非活性化を制御するものである。

【 0 0 1 3 】

また、前記高速プロセッサを接続する高速バスと前記低速プロセッサを接続する低速バスとを接続するバス接続手段を備えると共に、前記バス接続手段は、メモリが接続され、そのメモリと前記高速バスとの接続と切断とを切り替える切替手段を有するものである。

【 0 0 1 4 】

また、前記アプリケーションを前記高速プロセッサで処理するために必要なデータ及びプログラムを格納するメモリを前記高速バスに接続し、前記アプリケーションを前記低速プロセッサで処理するために必要なデータ及びプログラムを格納するメモリを前記低速バスに接続するものである。

【 0 0 1 5 】

また、前記低速プロセッサが、前記高速バスに接続されたメモリから前記低速

バスに接続されたメモリに、前記アプリケーションを前記低速プロセッサで処理するために必要なデータ及びプログラムを転送するために必要なデータ及びプログラムを格納するメモリを備えるものである。

【 0 0 1 6 】

また、前記高速バスに接続されたメモリから前記低速バスに接続されたメモリに、前記アプリケーションを前記低速プロセッサで処理するために必要なデータ及びプログラムを転送するDMA回路を備えるものである。

【 0 0 1 7 】

また、前記低速プロセッサが、前記高速バスに接続されたメモリから、前記アプリケーションを前記低速プロセッサで処理するために必要なデータ及びプログラムを転送するものである。

【 0 0 1 8 】

また、前記活性制御手段は、前記各プロセッサのクロックを起動及び停止するクロック切替手段を有するものである。

【 0 0 1 9 】

また、前記活性制御手段は、前記各プロセッサの電源を起動及び停止する電源切替手段を有するものである。

【 0 0 2 0 】

また、前記低速プロセッサは、前記アプリケーションを低速で処理するために必要最低限の機能のみを有するものである。

【 0 0 2 1 】

また、前記低速プロセッサは、動作電圧を低く設定し、かつクロック周波数も遅く設定するものである。

【 0 0 2 2 】

また、前記バス接続手段は、レジスタを有するとともに、前記処理判別手段による判別結果に基づいて前記レジスタを変更し、前記活性制御手段は、前記レジスタに基づいて前記プロセッサの活性化状態を制御するものである。

【 0 0 2 3 】

また、前記低速プロセッサは、前記アプリケーション処理完了後、前記活性制

御手段に自プロセッサの非活性を要求するものである。

【 0 0 2 4 】

【発明の実施の形態】

実施の形態 1.

図 1 は、本発明に係わるマルチプロセッサ装置の実施の形態 1 における機能構成図である。

図 1 において、1 は高速プロセッサ、2 はメモリ、3 は高速プロセッサ 1 とメモリ 2 とを接続する高速バス、4 は低速プロセッサ、5 a、5 b は I / O モジュール、6 は低速プロセッサ 4 と I / O モジュール 5 a、5 b とを接続する低速バスとしての周辺バス、7 は高速バスと周辺バスとを接続するバス接続手段としてのバスアダプタ、8 は高速プロセッサ 1 と低速プロセッサ 4 の動作、停止を制御する活性制御手段である。

【 0 0 2 5 】

ここで、高速プロセッサ 1 は、高速かつ高負荷な処理を行うことのできる回路規模の大きいプロセッサとする。

一方、低速プロセッサ 4 は、キャッシュを持たず、パイプライン段数も減らしたハードウェア構成とし、高速プロセッサ 1 と比較して回路規模の小さいプロセッサとする。さらに、低速プロセッサ 4 の動作電圧を、高速プロセッサ 1 の動作電圧よりも低く設定しているが、これは遅延増大の原因となる。しかし、本発明に係わるマルチプロセッサ装置では、低速プロセッサの動作電圧を低く設定すると同時に、クロックの周波数も遅く設定することで、この問題を解決している。

【 0 0 2 6 】

また、バスアダプタ 7 は制御用のレジスタ 7 1 を内蔵し、活性制御手段 8 は、高速プロセッサ 1 及び低速プロセッサ 4 に供給するクロックの ON / OFF を切り替える切替部 8 1 a、8 1 b を備える。

【 0 0 2 7 】

図 1 に示すように、本実施の形態 1 では、高速処理が必要な構成は高速バス 3 に接続して高速プロセッサ 1 により処理するようにし、高速処理が必要でない構成は周辺バス 6 に接続して低速プロセッサ 4 により処理するようにし、さらに、

バスアダプタ 7 により高速バス 3 と周辺バス 6 との処理速度差を吸収して、異なるバスに接続された構成同士間のアクセスを可能としている。

## 【 0 0 2 8 】

次に動作について説明する。

図 2 は、本発明に係わるマルチプロセッサ装置の実施の形態 1 における各プロセッサの動作状態を示す説明図である。

## 【 0 0 2 9 】

標準状態では、活性制御手段 8 の切替部 8 1 a は高速クロック供給に、切替部 8 1 b は停止状態に切り替えられている。したがって、高速プロセッサ 1 は、メモリ 2 から命令コードを読み出し、所定のアプリケーションを実行し（図 2 における S 1）、低速プロセッサ 4 はクロック供給されずに非活性状態となっている。また、高速プロセッサ 1 は、バスアダプタ 7 を経由して I/O モジュール 5 a、5 b にもアクセスし、キーボードやディスプレイ等の外部インタフェースの制御も行う。

## 【 0 0 3 0 】

高速プロセッサ 1 のアプリケーションは、例えばオペレーティングシステムで管理する。外部割り込みやタイマー起動等によって新たなアプリケーションの実行が要求されると（図 2 における S 2）、オペレーティングシステムは、実行しようとするアプリケーションが高速プロセッサ 1 で実行するものか、低速プロセッサ 4 で実行するものかを判別する（図 2 における S 3）。判別の手法として、アプリケーション毎に負荷のランク付けをしておき、ある負荷ランク以下のものを低速プロセッサ 4 へ割り当てる方法がある。また別の方法として、高速プロセッサ 1 で実行しているアプリケーションの数や種類から処理負荷を監視し、低速プロセッサ 4 で実行できる負荷に低下したところでアプリケーションを低速プロセッサ 4 へ割り当てる方法もある。

## 【 0 0 3 1 】

オペレーティングシステムが、新しいアプリケーションを低速プロセッサ 4 で実行するものと判断すると、高速プロセッサ 1 はバスアダプタ 7 のレジスタ 7 1 へライトアクセスし、低速プロセッサ 4 用のビット（図示せず）を、活性化を示

す値にセットする（図2におけるS4）。レジスタ71の低速プロセッサ4用ビットの活性化を示す値への変更が活性制御手段8へ信号通知され、これにより切替部81bは低速クロック側にスイッチを切り替え、低速プロセッサ4へクロックが供給される（図2におけるS5）。

#### 【0032】

低速プロセッサ4は、クロックが供給されると低速プロセッサ自身を初期化するリセットを行い、メモリ2から命令を読み出す。高速プロセッサ1は、予め低速プロセッサ4が実行する初期化プログラムをメモリ2上に用意しておき、初期化プログラム完了後新しいアプリケーションプログラムへジャンプするようにしておく。これにより、低速プロセッサ4はメモリ2に従い、初期化及び新しいアプリケーションの実行を開始する（図2におけるS6）。

#### 【0033】

低速プロセッサ4に新しいアプリケーションの処理を割り当てることにより、高速プロセッサ1の処理するアプリケーションが終了してアイドル状態となったとき、高速プロセッサ1はバスアダプタ7のレジスタ71へライトアクセスし、高速プロセッサ4用のビット（図示せず）の値を変更する（図2におけるS7）。レジスタ71の高速プロセッサ用ビットの値変更が活性制御手段8へ信号通知され、これにより切替部81aはクロック停止の側にスイッチを切り替え、高速プロセッサ1のクロックが停止される（図2におけるS8）。

#### 【0034】

低速プロセッサ4は、割り当てられたアプリケーションを実行終了すると、バスアダプタ7のレジスタ71へライトアクセスし、低速プロセッサ4用ビットの非活性を示す値にセットする（図2におけるS9）。レジスタ71の低速プロセッサ4用ビットの非活性を示す値への変更が活性制御手段8へ信号通知され、これにより切替部81bはクロック停止の側にスイッチを切り替え、低速プロセッサ4のクロックが停止される（図2におけるS10）。

#### 【0035】

外部要因、あるいはタイマ等の新たなCPU処理要求要因が起動されると、割り込み信号で通知される（図2におけるS11）。活性制御手段8はこの信号を

監視しているため、割り込み信号が発生したときに切替手段 8 1 a を高速クロックに切り替え、高速プロセッサ 1 を活性化する（図 2 における S 1 2）。高速プロセッサ 1 は非活性化した後の処理から再起動する。高速プロセッサ 1 は、レジスタ 7 1 の値に関係なく、割り込み信号が発生したら起動される。

## 【 0 0 3 6 】

そして、オペレーティングシステムは、割り込み信号により新たに発生したアプリケーションが高速プロセッサ 1 で実行するものか、低速プロセッサ 4 で実行するものかを判別し（図 2 における S 1 3）、高速プロセッサ 1 で実行するものと判断すると、高速プロセッサ 1 は新しいアプリケーションの実行を開始する（図 2 における S 1 4）。

## 【 0 0 3 7 】

以上説明したように、高速バスに接続された高速プロセッサと、低速バスに接続された低速プロセッサと、高速バスと低速バスとを接続するバスアダプタと、アプリケーションをどのプロセッサで処理すべきか判別するオペレーティングシステムと、オペレーティングシステムの判別結果に基づいて、アプリケーション処理を実行するプロセッサのクロックを起動し、それ以外のプロセッサのクロックを停止する活性制御手段とを備えることにより、高速プロセッサ 1 及び低速プロセッサ 4 においてアプリケーションの処理をしていない間はクロックを停止するので、クロックを停止したプロセッサの分の消費電力を低減することができ、特に高速プロセッサ 1 のクロックを停止した場合、大幅に消費電力を低減することができる。

## 【 0 0 3 8 】

つまり、低負荷のアプリケーション等を低速プロセッサ 4 に割り当て、高速プロセッサ 1 がアイドル状態となったら高速プロセッサ 1 のクロックを停止することにより、消費電力の大きい高速プロセッサ 1 は非活性となり、回路動作が無くなることで高速プロセッサ 1 の消費電力を削減できる（図 2 における低電力期間）。

## 【 0 0 3 9 】

低速プロセッサ 4 は、上述のように消費電力を決定する回路規模、電圧、クロ

ック周波数のいずれも低減しており、高速プロセッサ 1 と比較して、より小さな消費電力で動作することができるため、高速プロセッサ 1 が非活性で、低速プロセッサ 1 だけが動作している間の消費電力は非常に小さい。

## 【 0 0 4 0 】

さらに、低速プロセッサ 4 がアイドル状態となったら低速プロセッサ 4 のクロックを停止することにより、低速プロセッサ 4 は非活性となり、低速プロセッサ 4 の消費電力も削減できる（図 2 における超低電力期間）。このとき、消費電力を最も低減することができる。

## 【 0 0 4 1 】

なお、本実施の形態 1 では、従来技術のようにクロックを高速から低速に切り替えるのではなく、高速プロセッサ、低速プロセッサそれぞれ独立して、クロックの起動及び停止を行っているため、信頼性の高いマルチプロセッサ装置を提供することができる。

## 【 0 0 4 2 】

なお、本実施の形態 1 では、非活性をクロックの停止で実現させたが、両プロセッサへの供給電源を停止することで非活性とすることもできる。この場合、活性制御手段 8 の入力はクロックの代わりに電源電圧となり、出力は高速プロセッサ 1、低速プロセッサ 4 の電源へそれぞれ接続される。高速プロセッサ 1 は、電源停止前の状態を保持するために内部状態をメモリへバックアップし、再起動時に復元する。これにより、非活性時のプロセッサの消費電力を 0 にすることができる。

## 【 0 0 4 3 】

また、本実施の形態 1 では、高速プロセッサ 1 と低速プロセッサ 4 との活性／非活性を独立して切り替えていたが、1 回のレジスタ 7 1 へのアクセスで高速プロセッサ 1 の非活性及び低速プロセッサ 4 の活性とを排他的に切り替えるようにしてもよい。この場合、オペレーティングシステムは、高速プロセッサ 1 がアイドル状態になったときにレジスタ 7 1 にアクセスし、高速プロセッサ 1 を非活性、低速プロセッサ 4 を活性とする。これによりレジスタアクセスの回数を削減することができる。

## 【 0 0 4 4 】

また、本実施の形態 1 では、オペレーティングシステムが、処理すべきアプリケーションを低速プロセッサ及び高速プロセッサのうちどちらのプロセッサで処理すべきかを判別する場合について説明したが、判別できればこれに限られず、高速プロセッサ上の S/W や H/W により判別するようにしても、或いは高速プロセッサとは別にこれらを設けて判別するようにしても、同様の効果を得ることができる。

## 【 0 0 4 5 】

また、本実施の形態 1 では、高速プロセッサ 1 と低速プロセッサ 4 とがそれぞれ一つずつ存在するマルチプロセッサ装置について説明したが、高速プロセッサ 1、低速プロセッサ 4 が複数存在する場合でも同様の効果を得ることができる。

## 【 0 0 4 6 】

実施の形態 2.

上記実施の形態 1 では、メモリ 2 が高速プロセッサ 1 と同じ高速バス 3 に接続された場合について説明したが、本実施の形態 2 ではメモリ 2 がバスアダプタ 7 を介して接続される場合について説明する。

図 3 は、本発明に係わるマルチプロセッサ装置の実施の形態 2 における機能構成図である。メモリ 2 の接続場所が異なる点、バスアダプタ 7 が切替手段 7 2 を有する以外は図 1 と同様である。

## 【 0 0 4 7 】

つまり、図 3 の例では、バスアダプタ 7 を介してメモリ 2 を接続し、メモリ 2 は、周辺バス 6、バスアダプタ 7 を介して低速プロセッサと常に接続されている。また、メモリ 2 は、高速バス 3、バスアダプタ 7 を介して接続されているが、切替手段 7 2 により高速バス 3 からのアクセスを切断できるようにしている。この場合、高速プロセッサ 1 を活性化し低速プロセッサ 4 を非活性化している間は切替手段 7 2 をオンにし、高速プロセッサ 1 からメモリ 2 へアクセスできるようにする。また、高速プロセッサ 1 を非活性化し低速プロセッサ 4 を活性化している間は切替手段 7 2 をオフにし、低速プロセッサ 4 からのみメモリ 2 へアクセスできるようにする。



## 【 0 0 4 8 】

以上説明したように、バスアダプタにメモリを接続し、メモリと高速バスとの接続と切断とを切り替える切替手段を有することにより、高速プロセッサ 1 の非活性時には、高速プロセッサ 1 だけでなく高速バス 3 も非活性にすることができ、より消費電力を低減することができる。

## 【 0 0 4 9 】

実施の形態 3.

上記実施の形態では、メモリ 2 を高速プロセッサ 1 及び低速プロセッサ 4 で共有使用する場合について説明したが、本実施の形態 3 では、高速プロセッサ 1 用、低速プロセッサ 4 用のメモリをそれぞれ別に設ける場合について説明する。

## 【 0 0 5 0 】

図 4 は、本発明に係わるマルチプロセッサ装置の実施の形態 3 における機能構成図である。図 4 において、9 は周辺バス 6 に接続されるメモリ、10 は周辺バスに接続され、低速プロセッサ 4 を初期化するための初期化プログラムを格納する初期化用メモリ、82 a はメモリ 2 の活性化を制御するための切替手段、82 b はメモリ 9 の活性化を制御するための切替手段、101 は高速プロセッサ 1、メモリ 2、高速バス 3 及びバスアダプタ 7 の高速バスインタフェース部（図示せず）を含む高速処理部、102 は低速プロセッサ 4 及びメモリ 9 を含む低速処理部である。

## 【 0 0 5 1 】

次に動作について説明する。

図 5 は、本発明に係わるマルチプロセッサ装置の実施の形態 3 における各プロセッサの動作状態を示す説明図である。

## 【 0 0 5 2 】

標準状態では、高速プロセッサ 1 が、メモリ 2 から命令コードを読み出し、所定のアプリケーションを実行する（図 5 における S 2 1）。外部割り込みやタイマー起動等によって新たなアプリケーションの実行が要求されると（図 5 における S 2 2）、オペレーティングシステムは、実行しようとするアプリケーションが高速プロセッサ 1 で実行するものか、低速プロセッサ 4 で実行するものかを判

別し（図5におけるS23）、低速プロセッサ4で実行するものと判断すると、高速プロセッサ1はバスアダプタ7のレジスタ71へライトアクセスし、低速処理部102用のビット（図示せず）を、活性化を示す値にセットする（図5におけるS24）。レジスタ71の低速処理部102用ビットの活性化を示す値への変更が活性制御手段8へ信号通知され、これにより切替部81bは低速クロック側にスイッチを切り替え、低速プロセッサ4へクロックが供給され、また切替部82bは電源をオンし、メモリ9への電源が供給される（図5におけるS25）。

#### 【0053】

低速プロセッサ4は、初期化用メモリ10に格納されている初期化プログラムを実行する（図5におけるS26）。本プログラムには、新しいアプリケーション実行に必要なプログラム及びデータをメモリ2からメモリ9へ転送するための命令が記述されている。低速プロセッサ4は、初期化プログラムに従って必要なプログラム及びデータをメモリ2からメモリ9にコピーする。コピー終了後、低速プロセッサ4はメモリ9の内容に従って新しいアプリケーションを実行する（図5におけるS27）。

#### 【0054】

低速プロセッサ4に新しいアプリケーションの処理を割り当てることにより、高速プロセッサ1の処理するアプリケーションが終了してアイドル状態となったとき、高速プロセッサ1はバスアダプタ7のレジスタ71へライトアクセスし、高速処理部101用のビット（図示せず）の値を変更する（図5におけるS28）。レジスタ71の高速処理部用ビットの値変更が活性制御手段8へ信号通知され、これにより切替部81aはクロック停止の側にスイッチを切り替え、高速プロセッサ1及び高速バス3のクロックが停止される。また同時に、切替手段82aは低電圧側にスイッチを切り替え、メモリ2の電源がデータ保持はできるがアクセスはできない状態となる（図5におけるS29）。

#### 【0055】

低速プロセッサ4は、割り当てられたアプリケーションを実行終了すると、バスアダプタ7のレジスタ71へライトアクセスし、低速処理部102用ビットの

非活性を示す値にセットする（図 5 における S 3 0）。レジスタ 7 1 の低速処理部 1 0 2 用ビットの非活性を示す値への変更が活性制御 8 へ信号通知され、これにより切替部 8 1 b はクロック停止の側にスイッチを切り替え、低速プロセッサ 4 のクロックが停止される。また同時に、切替手段 8 2 b は電源切断側にスイッチを切り替え、メモリ 9 の電力供給が停止される（図 5 における S 3 1）。

## 【 0 0 5 6 】

外部要因、あるいはタイマ等の新たな CPU 処理要求要因が起動されると、割り込み信号で通知される（図 5 における S 3 2）。活性制御手段 8 はこの信号を監視しているため、割り込み信号が発生したときに切替手段 8 1 a を高速クロックに、切替手段 8 2 a を標準電源に切り替え、高速処理部 1 0 1 を活性化する（図 5 における S 3 3）。高速プロセッサ 1 は非活性化した後の処理から再起動する。高速プロセッサ 1 は、レジスタ 7 1 の値に関係なく、割り込み信号が発生したら起動される。

## 【 0 0 5 7 】

そして、オペレーティングシステムは、割り込み信号により新たに発生したアプリケーションが高速プロセッサ 1 で実行するものか、低速プロセッサ 4 で実行するものかを判別し（図 5 における S 3 4）、高速プロセッサ 1 で実行するものと判断すると、高速プロセッサ 1 は新しいアプリケーションの実行を開始する（図 5 における S 3 5）。

## 【 0 0 5 8 】

以上説明したように、アプリケーションを高速プロセッサで処理するために必要なデータ及びプログラムを格納するメモリを高速バスに接続し、アプリケーションを低速プロセッサで処理するために必要なデータ及びプログラムを格納するメモリを低速バスに接続することにより、高速処理部 1 0 1 を全て非活性化することができるので、低負荷時の消費電力を大幅に低減することができる。

## 【 0 0 5 9 】

つまり、低負荷のアプリケーション等を低速プロセッサ 4 に割り当て、高速プロセッサ 1 がアイドル状態となったら高速処理部 1 0 1 を非活性とすることにより、回路動作が無くなるので、メモリ 2 や高速バス 3 を含む高速処理部 1 0 1 の

消費電力を削減できる（図 5 における低電力期間）。

【 0 0 6 0 】

ここで、メモリ 9 は、低速プロセッサ 4 が実行するアプリケーションに必要な容量だけを用意するため、全てのアプリケーションプログラム、オペレーティングシステムを格納したメモリ 2 に比べてわずかな容量でよい。メモリの消費電力を決定する容量が小さいため、低速処理部 1 0 2 だけが動作している間の消費電力は小さい。

【 0 0 6 1 】

さらに、低速プロセッサ 4 がアイドル状態となったら低速プロセッサ 4 のクロックを停止することにより、低速プロセッサ 4 は非活性となり、低速プロセッサ 4 及びメモリ 9 の消費電力も削減できる（図 5 における超低電力期間）。このとき、消費電力を最も低減することができる。

【 0 0 6 2 】

なお、本実施の形態 3 では、メモリ 9 へのプログラム転送を低速プロセッサ 4 が行ったが、DMA コントローラを用いて行っても同様の効果を得ることができる。

図 6 は、本発明に係わるマルチプロセッサ装置の実施の形態 3 における別の機能構成図である。図 6 は、上述の図 4 に DMA コントローラ 1 1 を加え、初期化用メモリ 1 0 を除いたものであり、その他は図 4 と同様である。高速プロセッサ 1 から DMA コントローラ 1 1 に、メモリ 2 からメモリ 9 へのプログラム及びデータの転送を起動することで、実際の転送処理は DMA コントローラ 1 1 が実行する。これにより、低速プロセッサ 4 の処理負荷を増加することなしにプログラム及びデータの転送を行うことができる。

【 0 0 6 3 】

また、DMA コントローラも初期化用メモリ 1 0 も用いずに、低速プロセッサ 4 がメモリ 2 からメモリ 9 へのプログラム及びデータの転送を行っても同様の効果を得ることができる。

【 0 0 6 4 】

【発明の効果】

以上説明したように、高速で動作する高速プロセッサと、低速で動作する低速プロセッサと、処理すべきアプリケーションに基づいて、前記高速プロセッサ及び前記低速プロセッサの活性化、非活性化を制御する活性制御手段とを備えることにより、非活性化されたプロセッサの分の消費電力を削減でき、特に高速プロセッサを非活性化した場合、大幅に消費電力を低減することができる。

## 【 0 0 6 5 】

高速で動作する高速プロセッサと、低速で動作する低速プロセッサと、処理すべきアプリケーションに基づいて、前記高速プロセッサ及び前記低速プロセッサの活性化、非活性化を制御する活性制御手段とを備えるに基づいて制御することにより、アプリケーション毎に適切に処理でき、適切に消費電力を低減することができる。

## 【 0 0 6 6 】

また、前記高速プロセッサを接続する高速バスと前記低速プロセッサを接続する低速バスとを接続するバス接続手段を備えると共に、前記バス接続手段は、メモリが接続され、そのメモリと前記高速バスとの接続と切断とを切り替える切替手段を有することにより、高速プロセッサ停止時に高速バスも停止することができ、更に消費電力を低減することができる。

## 【 0 0 6 7 】

また、前記アプリケーションを前記高速プロセッサで処理するために必要なデータ及びプログラムを格納するメモリを前記高速バスに接続し、前記アプリケーションを前記低速プロセッサで処理するために必要なデータ及びプログラムを格納するメモリを前記低速バスに接続することにより、高速プロセッサ停止時に高速バス及び高速バス接続メモリも停止することができ、更に消費電力を低減することができる。

## 【 0 0 6 8 】

また、前記アプリケーションを前記低速プロセッサで処理するために必要なデータ及びプログラムを、前記高速バスに接続されたメモリから前記低速バスに接続されたメモリに転送するために必要なデータ及びプログラムを格納するメモリを備えることにより、低速プロセッサ動作時に転送するプログラム量が低減でき

、低速プロセッサの負荷を軽減することができる。

【 0 0 6 9 】

また、前記高速バスに接続されたメモリから前記低速バスに接続されたメモリに、前記アプリケーションを前記低速プロセッサで処理するために必要なデータ及びプログラムを転送するDMA回路を備えることにより、高速プロセッサから低速プロセッサへの処理切り替え時の低速プロセッサの処理負荷を軽減することができる。

【 0 0 7 0 】

また、前記低速プロセッサが、前記高速バスに接続されたメモリから、前記アプリケーションを前記低速プロセッサで処理するために必要なデータ及びプログラムを転送することにより、特別な回路なしで消費電力の更なる低減を実現することができる。

【 0 0 7 1 】

また、前記活性制御手段は、前記各プロセッサのクロックを起動及び停止するクロック切替手段を有することにより、クロック停止で高速プロセッサを非活性化でき、消費電力を低減することができる。

【 0 0 7 2 】

また、前記活性制御手段は、前記各プロセッサの電源を起動及び停止する電源切替手段を有することにより、電源停止で高速プロセッサを非活性化でき、消費電力を低減することができる。

【 0 0 7 3 】

また、前記低速プロセッサは、前記アプリケーションを低速で処理するために必要最低限の機能のみを有することにより、回路規模が削減でき、消費電力を低減することができる。

【 0 0 7 4 】

また、前記低速プロセッサは、動作電圧を低く設定し、かつクロック周波数も遅く設定することにより、遅延を解消することができ、消費電力を低減することができる。

【 0 0 7 5 】

また、前記バス接続手段は、レジスタを有するとともに、前記処理判別手段による判別結果に基づいて前記レジスタを変更し、前記活性制御手段は、前記レジスタに基づいて前記プロセッサの活性化状態を制御することにより、ソフトウェアにより簡単な構成で活性化制御を行うことができ、消費電力も低減することができる。

【 0 0 7 6 】

また、前記低速プロセッサは、前記アプリケーション処理完了後、前記活性制御手段に自プロセッサの非活性を要求することにより、低速プロセッサを処理終了後に自動的に動作を停止することができ、消費電力を低減することができる。

【図面の簡単な説明】

【図 1】 本発明に係わるマルチプロセッサ装置の実施の形態 1 における機能構成図

【図 2】 本発明に係わるマルチプロセッサ装置の実施の形態 1 における各プロセッサの動作状態を示す説明図

【図 3】 本発明に係わるマルチプロセッサ装置の実施の形態 2 における機能構成図

【図 4】 本発明に係わるマルチプロセッサ装置の実施の形態 3 における機能構成図

【図 5】 本発明に係わるマルチプロセッサ装置の実施の形態 3 における各プロセッサの動作状態を示す説明図

【図 6】 本発明に係わるマルチプロセッサ装置の実施の形態 3 における別の機能構成図

【図 7】 従来のマイクロコンピュータにおける低消費電力化手段の機能構成図

【符号の説明】

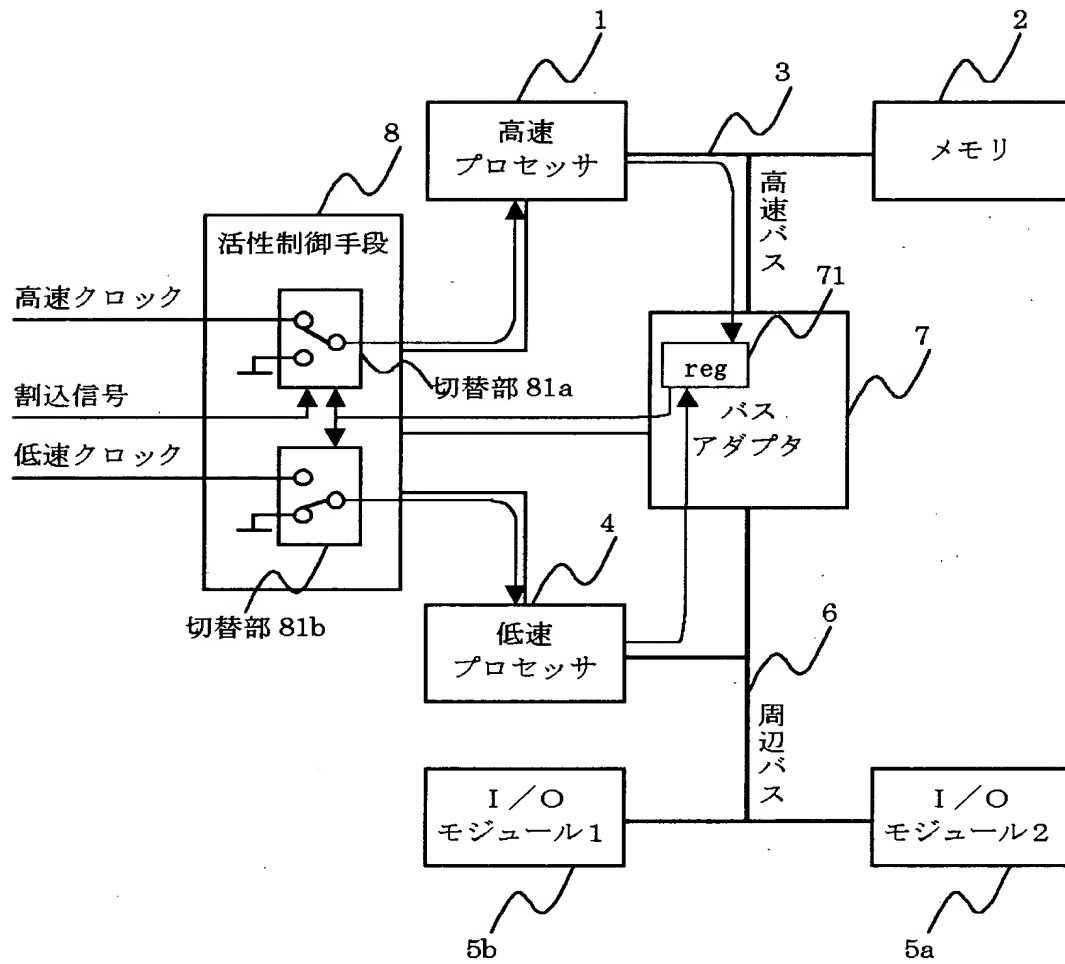
- 1 高速プロセッサ
- 2 メモリ
- 3 高速バス
- 4 低速プロセッサ

- 5 a、5 b I/Oモジュール
- 6 周辺バス
- 7 バスアダプタ
- 8 活性制御手段
- 9 メモリ
- 1 0 初期化用メモリ
- 1 1 DMAコントローラ
- 7 1 レジスタ
- 8 1 a、8 1 b、8 2 a、8 2 b 切替部
- 1 0 1 高速処理部
- 1 0 2 低速処理部
- 2 0 1 CPU
- 2 0 2 制御回路
- 2 0 3 クロック選択回路
- 2 0 4 電源電圧選択回路
- 2 2 1 選択部
- 2 2 2、2 2 3、2 2 4 レジスタ
- 2 2 5 デコード部

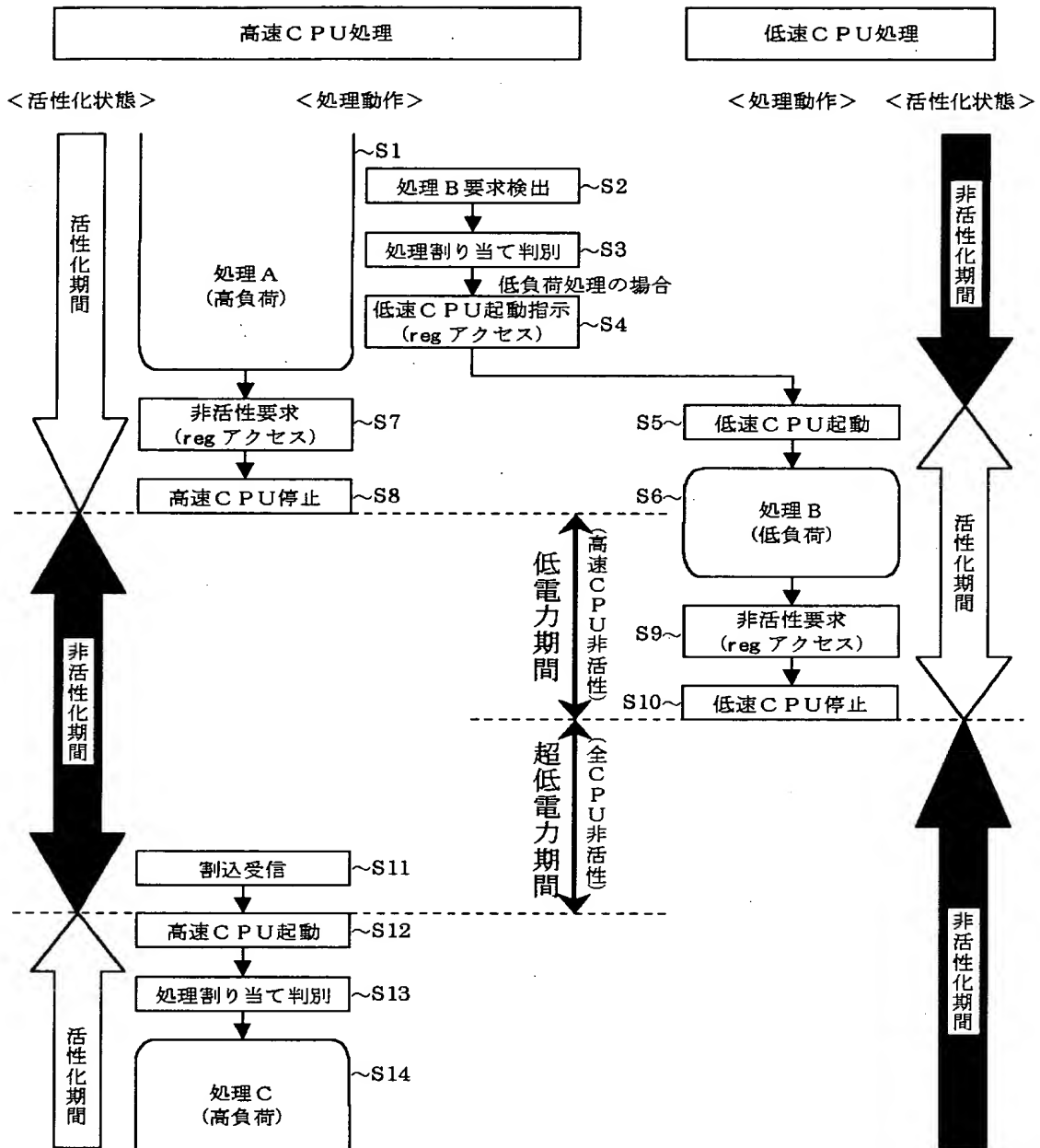


【書類名】 図面

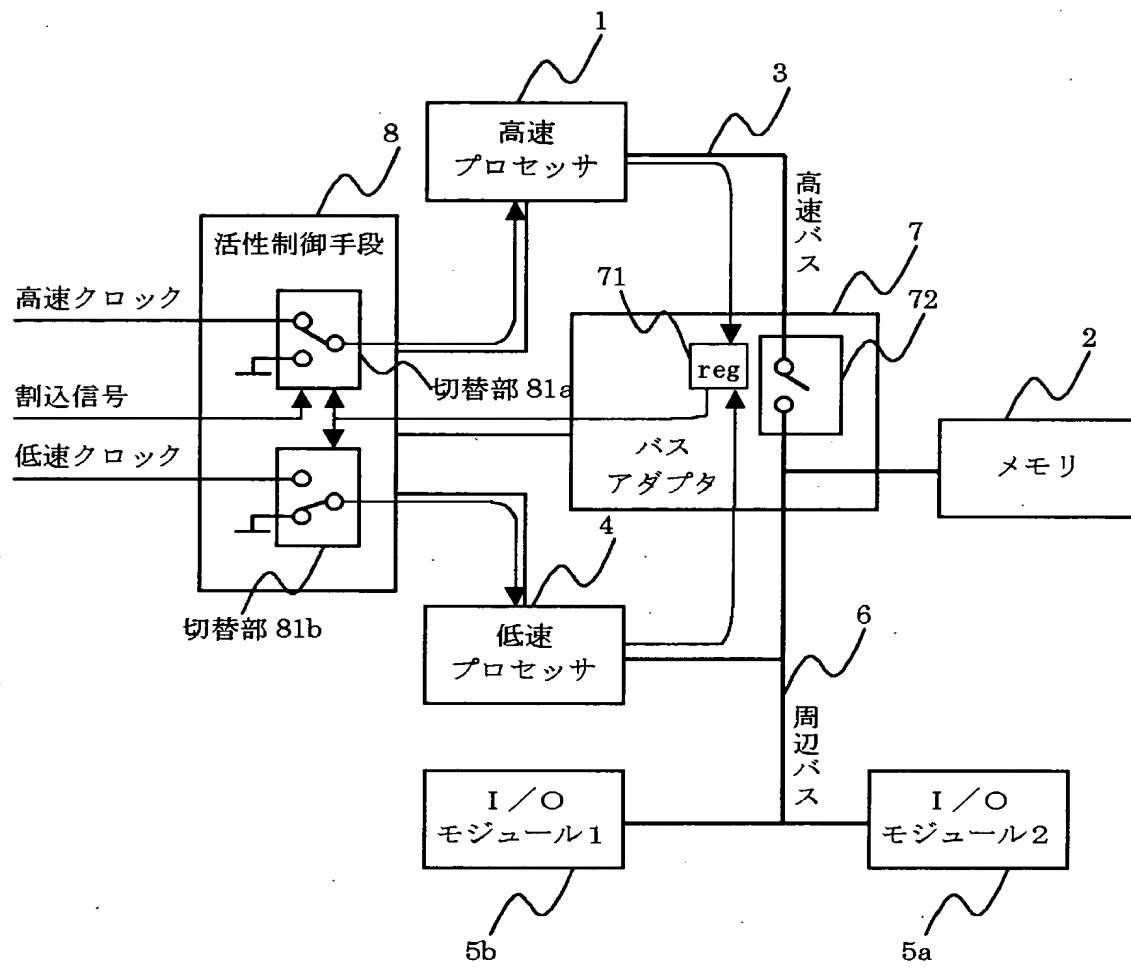
【図 1】



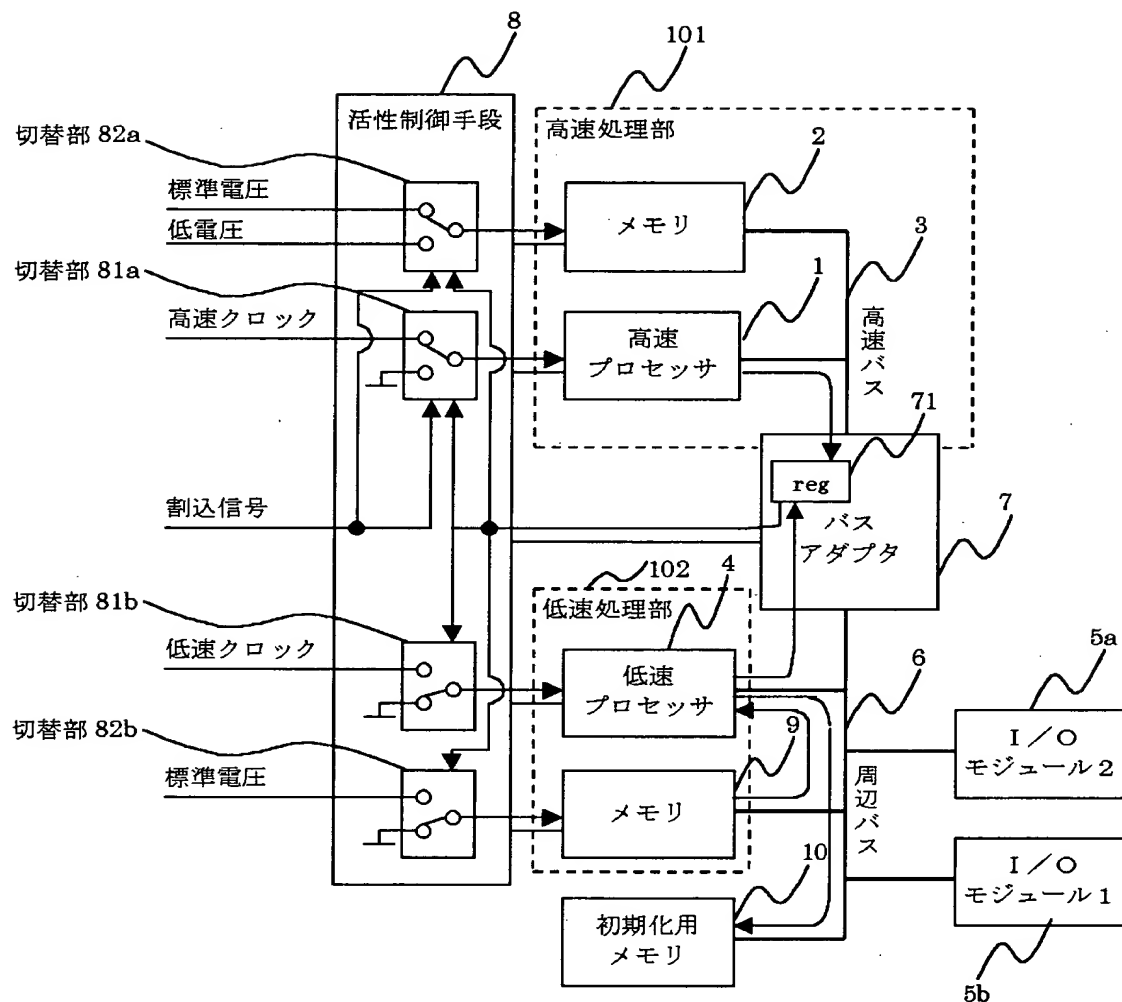
【図 2】



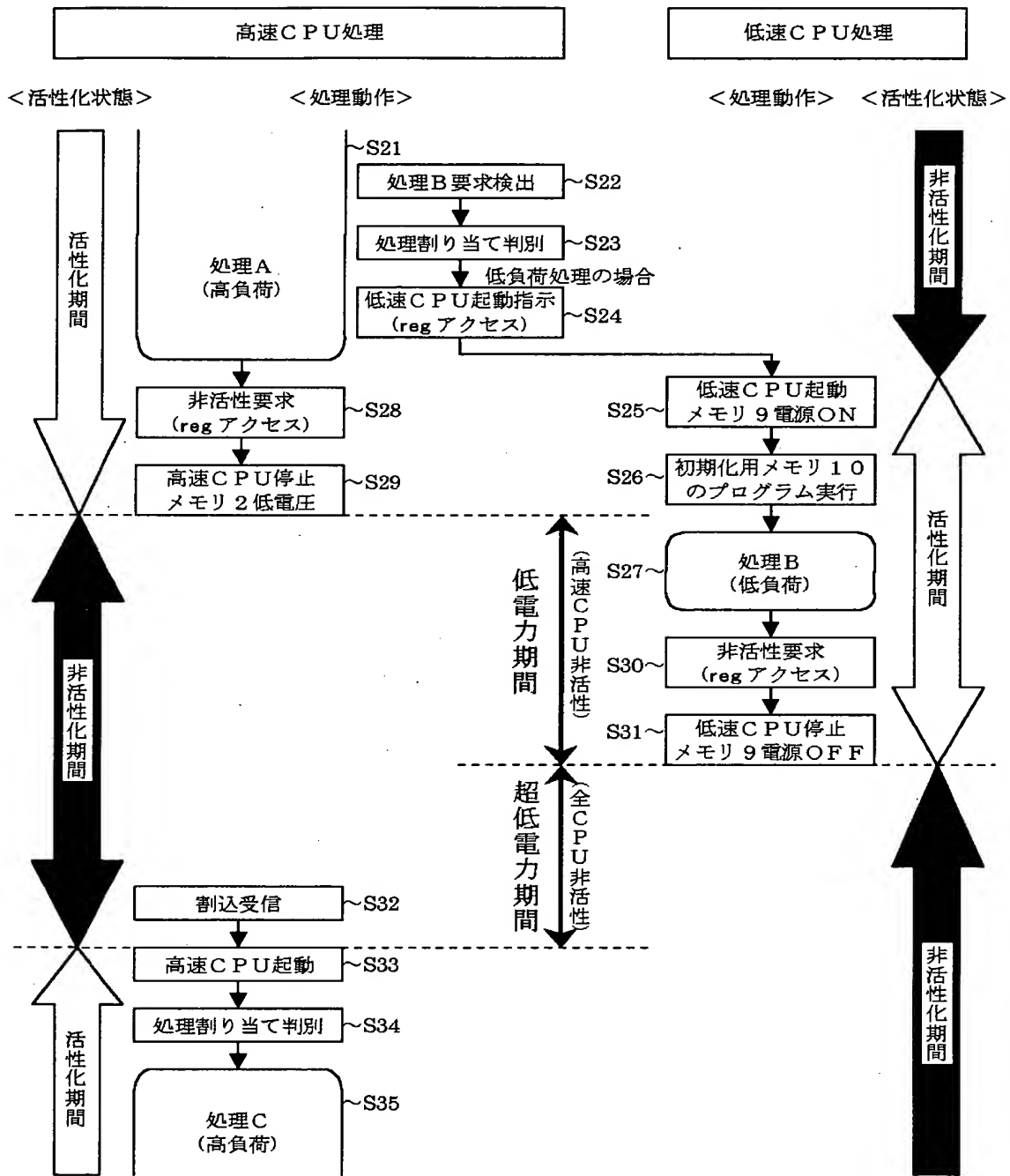
【図 3】



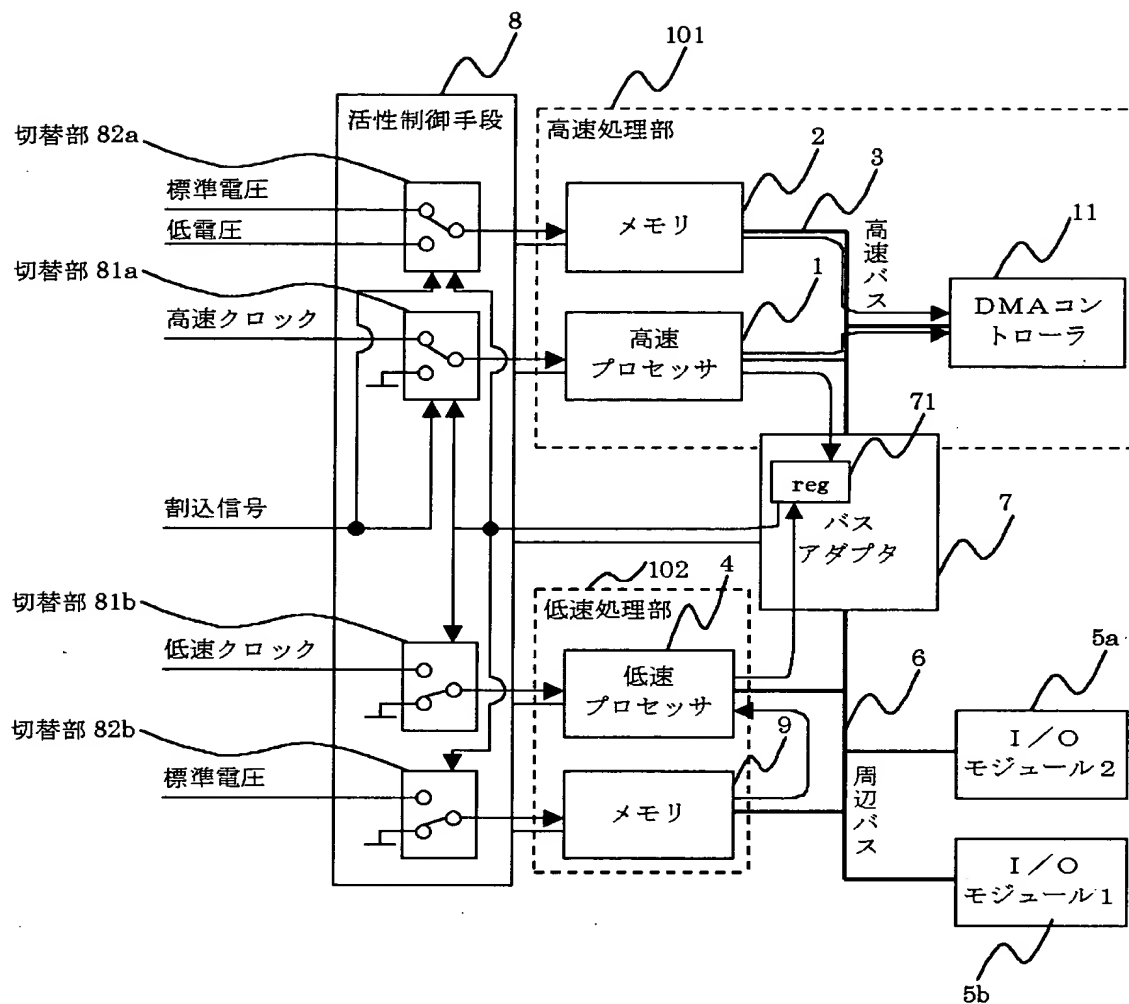
【図 4】



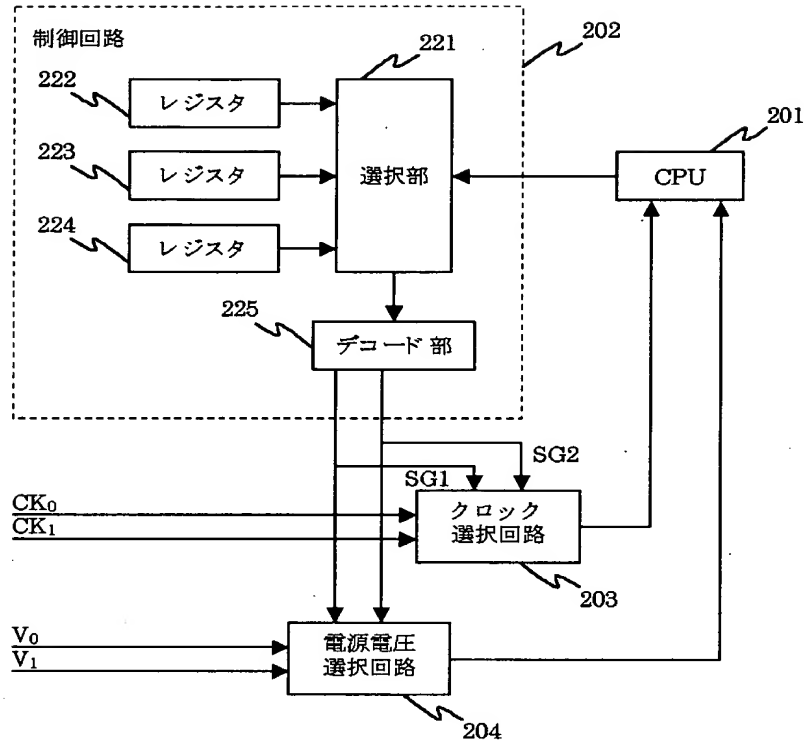
【図 5】



【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 信頼性が高く、回路規模が大きくても消費電力を十分に低減することのできるマルチプロセッサ装置を提供するものである。

【解決手段】 高速バスに接続された高速プロセッサと、低速バスに接続された低速プロセッサと、高速バスと低速バスとを接続するバスアダプタと、アプリケーションをどのプロセッサで処理すべきか判別するオペレーティングシステムと、オペレーティングシステムの判別結果に基づいて、アプリケーション処理を実行するプロセッサのクロックを起動し、それ以外のプロセッサのクロックを停止する活性制御手段とを備える。

【選択図】 図 1



出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日  
[変更理由] 新規登録  
住 所 東京都千代田区丸の内2丁目2番3号  
氏 名 三菱電機株式会社